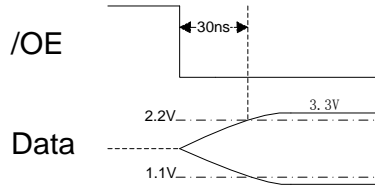
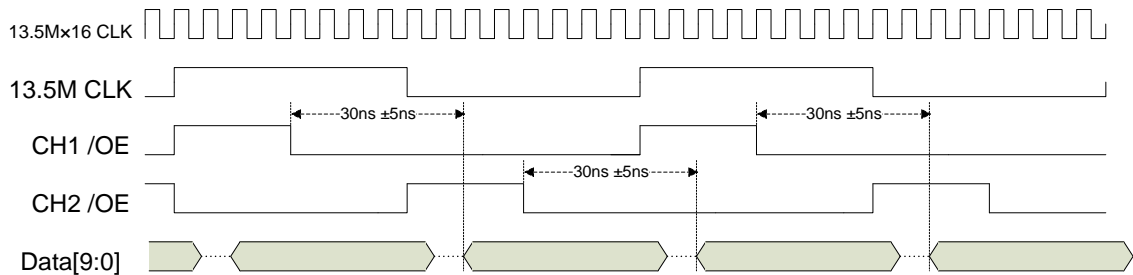


3PA1030 提供 3 态引脚，用户可以通过 3 态引脚来控制数字输出的高阻态或正常输出。当 3 态信号拉低到数字输出稳定有一定的延时，详细请见下图。

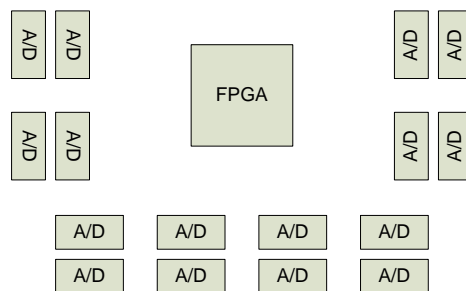


该延时的典型值为 30 ns，通过 DFM 和 Monte Carlo 仿真，此参数在 Worse Case (包括：-40°C 低温至 125°C 高温工作环境，BJT、电阻、电容、P-MOS、N-MOS 等器件的最大工艺误差，以及相同工艺器件之间的匹配误差等等) 的最大变化值为 ± 6 ns (注：Worse Case 在实际量产中是不可能出现的)。

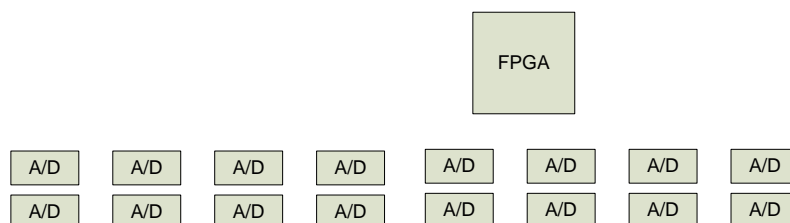
此外，思瑞浦在 3PA1030 芯片的量产测试中将该延时纳入检验测试指标，以确保批量生产的 3PA1030 产品的延时在 $30\text{ns} \pm 5\text{ns}$ 的质量控制范围之内。



用户在使用 3PA1030 时，应当特别关注电路 PCB 布线长短所可能产生的延时。建议不同的数据通道的走线长度尽量一致，从而使布线产生的延时尽量相同；对于走线长度难以相同的，建议调整各通道的采样时序。



各通道的走线长度尽量一致的PCB布线，以保持所有延时基本相等



各通道走线长度不一致的PCB布局，这种情况下，可能需要调整各通道间的采样时序