

DDR 终端电源芯片 TPL51200 应用笔记

在存储器中，对于 Bit line 较少的数据传输，通过传统无源总线终端电阻器（戴维南端接）将 DDR 传输线阻抗与电源阻抗匹配，可以很好的降低成本（如图 1）。

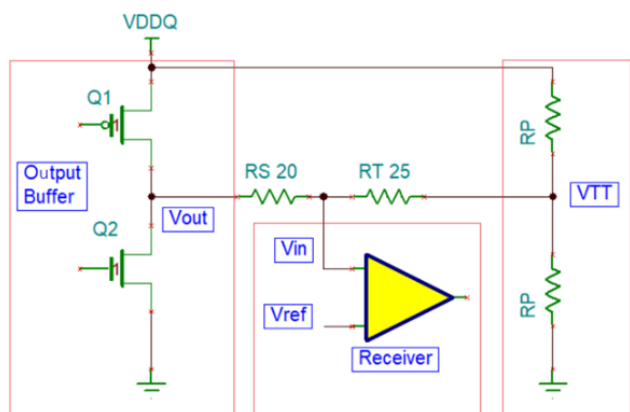


图 1. 源总线终端线路图

当 Q1 导通时，Q2 关断，电流通过电阻 RS 和 RT 从 VDDQ 流到 VTT，此时 VTT 终端 Sink 电流，接收器输入电压 (Vin) 高于 Vref, Receiver 实现数字信号“1”输入；

当 Q2 导通时，Q1 关断，电流从 VTT 通过 RT 和 RS 经 Q2 到地，VTT 终端 Source 电流，此时 Vin 低 Vref, Receiver 实现数字信号“0”输入。

一、

为了获取更快的数据传输率和保证数据传输的稳定，越来越多的工业、汽车、通信和便携式电子系统使用 DDR 存储器进行数据传输。

在 DDR 存储器中，多个 Bit line 共享一个 VTT 电压。在 DDR 数据读写中，为了保证接收端数据读写准确，Vin 必须大于或小于 Vref 电压 125mV 才能保证比较器的正确翻转。

以 DDR4 为例，假设共有 50 Bit lines。此时传统的无源终端电阻器就要考虑功耗的问题，特别是在 High-bit line 与 Low-bit line 不对称时，此时不得不降低 RP 电阻。

一般 Q1 和 Q2 的导通阻抗几十欧姆（以 20Ω 为例），在 DDR4 中，当高 bit 位多于低 bit 位时，VTT 吸收电流，为了保证数据读写的准确，推算公式：

$$VDDQ - VTT * \{ RT / (RQ1 + RS + RT) \} + VTT = (1.2 - 0.6) * (25 / 65) + 0.6 \geq 0.725$$

计算得出 VTT 电压不能小于 0.428V。

以此 DDR4 为例，当全为低 bit 位时，为了保证 VTT 电压，此时 RP 电阻不能超过 1Ω，将带来的 0.92W 的功耗，计算公式：

$$VDDQ^2 / \{ RP + RP / [(RT + RS + RQ2) / 50] \} = \{ 1.22 / [1 + 1 / (65 / 50)] \}$$

而因 RP 电阻就额外带来了 0.78W 的功耗，这将是无法接受的。

二、

与无源端接相比，有源端接（图 2）的优势是可以提供具有大电流输出能力的稳定 VTT 电压，这样可以

从源头上避免无源终端因阻抗匹配问题造成读写数据错误，同时，由于 R_p 分压电阻的去除，可以大大提升系统效率。

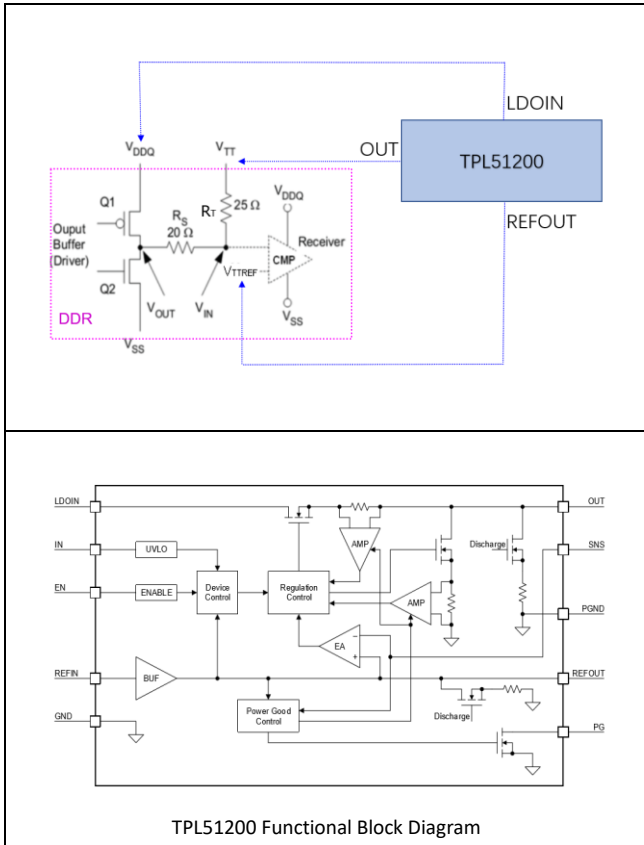


图 2

如图 1、图 2 所示， V_{TT} 是一个同时具有 Sink 和 Source 能力的有源终端，它的工作模式和无源端接一样，但是在 Sink 或者 Source 电流时，有源端接通过内部环路自动调整 V_{TT} 电压，保证 V_{TT} 电压始终等于 $1/2 * V_{DDQ}$ 。

思瑞浦推出的 TPL51200 是一款适用于 DDR 内存总线终端电源的高性能线性稳压器。

和一些 DCDC 解决方案比较，TPL51200 减少了器件数量，节省了板子的空间和系统成本。只需要较少的 MLCC 电容，在全温度范围内 (-40°C to $+85^{\circ}\text{C}$)

拥有很好的负载调整率，如 (图 3) 所示。

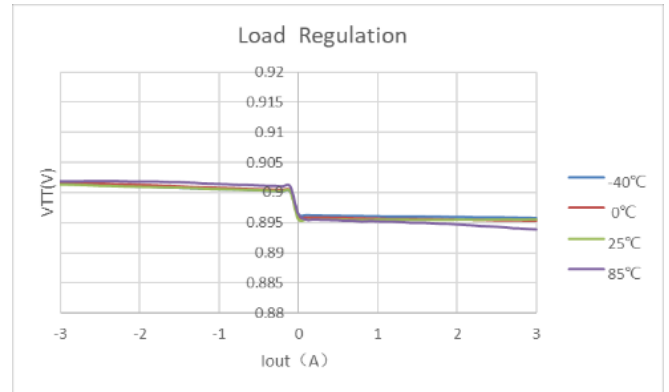


图 3

同时 TPL51200 也具有很好的瞬态调整能力，如 (图 4) 所示。

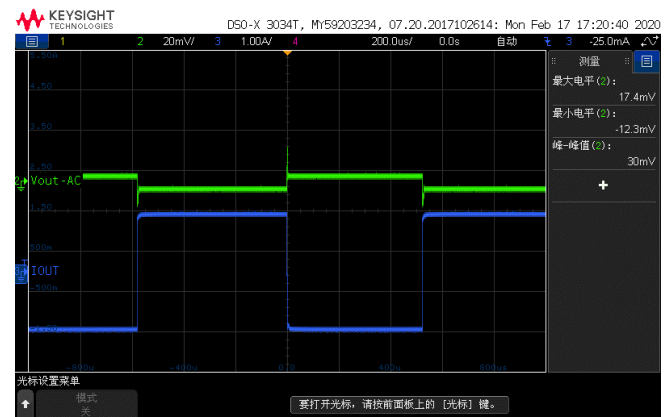


图 4

TPL51200 内置软启 (如图 5)、短路保护 (如图 6)、过流保护、过温保护等功能，还可以监视输出电压的 PGGOOD 脚，帮助确认 V_{TT} 的建立，保证数据读写的准确性。

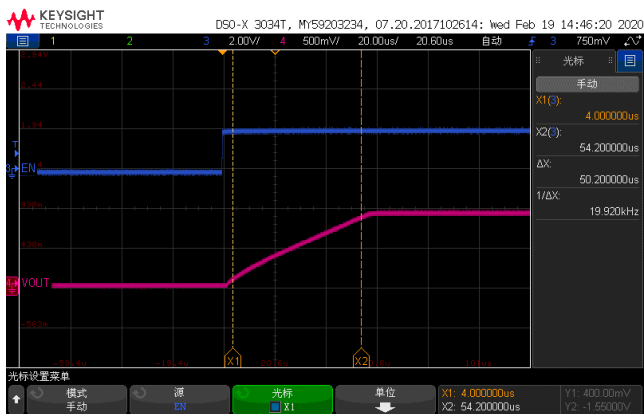


图 5

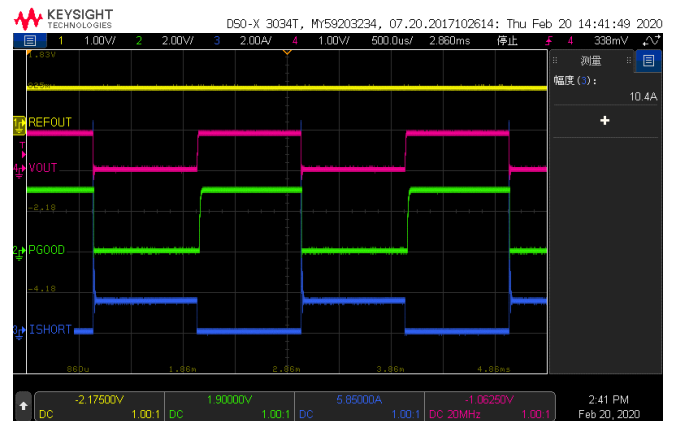


图 6

DDR 终端电源芯片 TPL51200 能满足所有 DDR、DDR2、DDR3、DDR3L、DDR4、LPDDR4 等 VTT 总线终端电源的需求。

✚ **3PEAK** and the **3PEAK** logo are registered trademarks of **3PEAK INCORPORATED**. All other trademarks are the property of their respective owners.