

Application Notes

3PA5510

3PA5510 是一款 8Bit、32MSPS 的流水线技术的模数转换器，其内部结构适合视频应用，也是为视频光传输领域特别设计的一款芯片，与 TLC5510 管脚兼容，且拥有更好的性能参数。

因为其内部结构的不同，在视频光传输应用时，在做参考电压，输入方式、范围，耦合模式以及钳位方式等各方面应用设计时需要注意某些不同点。

参考电压

3PA5510 的参考电压为内部参考电压，由电源产生，且不能外部编程。相应的值为 2 伏，如图 1 所示。

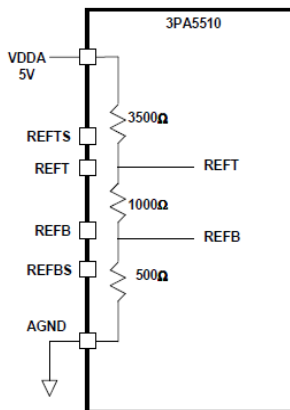


图 1 3PA5510 参考电压

当视频滤波的输出电压不在 0~2 伏时，需调整视频滤波放大倍数，来匹配 3PA5510 的输入电压。

钳位电路

3PA5510 有内部钳位电路。用户选择使用外部钳位或内部钳位均可以正常工作，如图 2 所示。

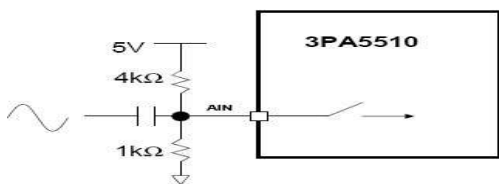


图 5a 外部钳位

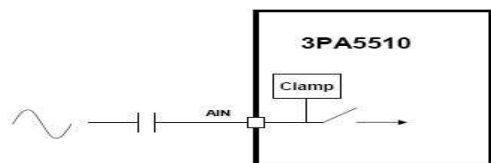


图 5b 内部钳位。

当输入范围在 0~2 伏时，推荐使用直流耦合。

输入范围

3PA5510 为固定的参考电压，其输入范围为 0~2 伏。如果视频滤波的输入范围不在 0~2 伏时，需调整放大倍率，来匹配 3PA5510 的输入范围，以期达到更好的动态特性。

耦合方式

直流耦合或交流耦合，3PA5510 都可以正常工作。当视频滤波输出不匹配的时候，需要使用交流耦合。当视频铝箔输出与 3PA5510 匹配时，推荐使用直流耦合。

3PD5602 / 3PD5602E

3PD5602/3PD5602E 为 8 比特，125 兆转换率的开关电流型，电压输出数模转换器，适用于通信，仪器仪表与视频重建等应用。在视频光端机应用中，与 TLC5602 管脚兼容。但在内部参考，输出范围等方面不同，需要做一些调整，得到最好的产品性能。

3PD5602 和 3PD5602EE 的时钟时序相位相差 180 度，客户可根据自己原有程序的时序选择使用 3PD5602 或者 3PD5602E 产品。

参考电压

对于 3PD5602/3PD5602E，内部参考电压为 1.1 伏，与 TLC5602 不同，如图 1 所示

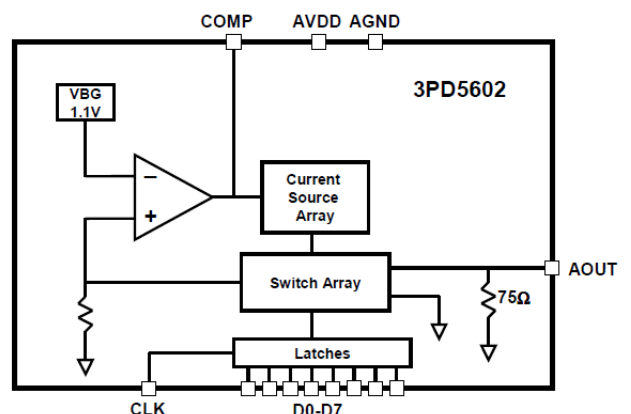


图 1 3PD5602/3PD5602E 内部参考电压

输出类型及范围

3PD5602/3PD5602E 的输出为电压输出，且输出范围固定在 0~1v，当视频滤波的输入范围与其不匹配的时候，需要交流耦合。视频滤波的放大倍率根据实际情况做相应调整。当视频滤波的输入范围为 0~1v 时，可以直流耦合。

Comp 接法

Comp 脚为内部基准去耦管脚，此脚可通过 0.1uF 电容接 AVDD，也可不接，悬空。这样可以节约系统空间和成本。

时序调整

下面的 FPGA（或 CPLD）参考程序用来说明时序调整方法。该程序是一个传送 4 路 ADC 数据的 VHDL 范例程序，建议大家使用 3PA5510 时参照范例程序中的时序编写程序。

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
use ieee.std_logic_arith.all;
entity send is
  port(clk : in std_logic;
        data1,data2,data3,data4:in std_logic_vector(7 downto 0);
        data_out :out std_logic_vector(9 downto 0);
        clk1,clk2,clk3,clk4 : out std_logic
  );
end send;
architecture demo_architecture of send is
  signal cnt: std_logic_vector(1 downto 0);
  signal dbuf1,dbuf2,dbuf3,dbuf4:std_logic_vector(7 downto 0);
begin
  process(clk)
  begin
    if clk'event and clk='1' then
      cnt<=cnt+1;
      case cnt is
        when "00"=>
          data_out(7 downto 0)<=dbuf1;
        when "01"=>
          dbuf1<=data1;
          dbuf2<=data2;
          dbuf3<=data3;
          dbuf4<=data4;
          data_out(7 downto 0)<=dbuf2;
        when "10"=>
          data_out(7 downto 0)<=dbuf3;
        when "11"=>
          data_out(7 downto 0)<=dbuf4;
```

```
when others=>
  data_out(7 downto 0)<=(others=>'Z');
  --null;
end case;
end if;
end process;

clk1<= cnt(1);
clk2<= cnt(1);
clk3<= cnt(1);
clk4<= cnt(1);
end demo_architecture;
```

该程序在一个时刻同时读取 4 路 ADC 数据，放到 FPGA（或 CPLD）的内部寄存器里，再用一个 4 倍频时钟把寄存器里的 4 路 ADC 数据从一组数字端口顺序送出。由于 4 路 ADC 的采样时钟统一，为了容易调节时序，4 路 ADC 数据应该在同一时刻读入寄存器。

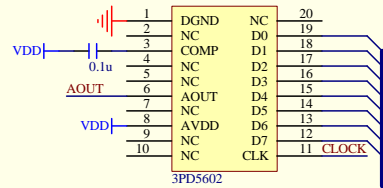
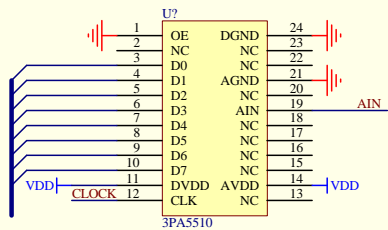
唯一对 ADC 时序有影响的是具体哪个时刻读取 ADC 数据。如果在使用 ADC 的过程中，某个或某几个通道会有雪花点出现，应该是这些通道的 ADC 的时序不太匹配，此时可以通过下面调整解决问题：将下面四句程序的位置做下调整。

```
dbuf1<=data1;
dbuf2<=data2;
dbuf3<=data3;
dbuf4<=data4;
```

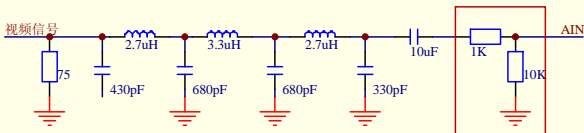
比如对应出现雪花的 ADC 通道的那句程序本来是放在 cnt=00 时的，便移到 cnt=10 时的，此时相当于相位反转了 180 度，此时采样便不会出现问题了。图像出现雪花点的问题便可解决。

不同厂家的芯片在时序上会有一些差异。思瑞浦公司对光端机上的常用品牌的 ADC 做过对比测试，不同品牌间的时序大概差异不超过 10ns，而光端机应用中一个 ADC 时钟周期在 60ns 以上，所以按照上面方法，对出现问题的通道时序翻转 180 度，修改后的程序基本可以匹配市面上的 ADC 芯片。

3PD5602 或者 3PD5602E 的时序调整方法原则上类似。由于一般应用中多路 DAC 使用统一时钟，从 FPGA 或 CPLD 送到多路 DAC 的数据应该在同一时刻发送。

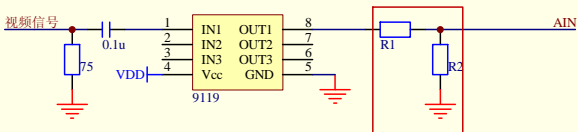


若使用3.3V VDD, 需加上这两个电阻分压;
若使用5V VDD可省略这两个电阻。



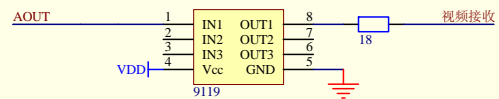
使用LC滤波电路将信号送到3PA5510 AnalogInput

若使用3.3V VDD, R1=1.5K, R2=1K;
若使用5V VDD, R1=1K, R2=1.5K。



使用有源滤波器将信号送到3PA5510 AnalogInput

以上两种接法可任选一种



Title		
Size A4	Number	Revision
Date: 10-Aug-2011	File: D:\AD DA 应用\应用\应用.ddb	Sheet of Drawn By: